

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110901
 (43)Date of publication of application : 12.04.2002

(51)Int.CI. H01L 25/065
 H01L 25/07
 H01L 25/18
 H01L 23/52

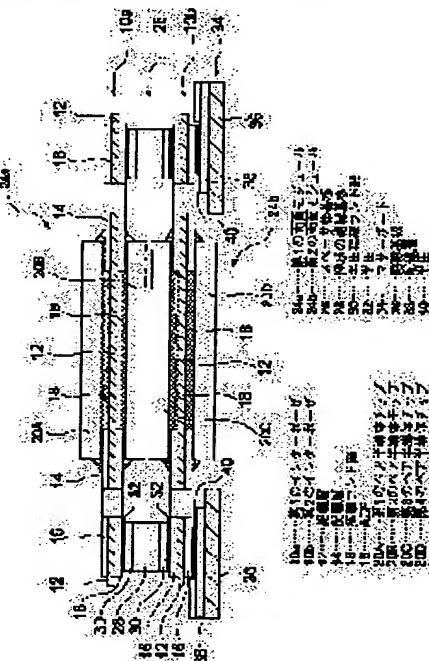
(21)Application number : 2000-303018 (71)Applicant : SONY CORP
 (22)Date of filing : 03.10.2000 (72)Inventor : KAMEI SHIGEKI
 YOSHIZAWA MASAYOSHI
 MIYAJI SEIICHI
 YANAGISAWA YOSHIYUKI

(54) LAMINATED SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a laminated semiconductor device of a three-dimensional mounting structure, capable of realizing reduction in thickness of an overall laminated module in the height direction, together with high quality and manufacturing yield, and to provide a method for manufacturing the same.

SOLUTION: The method for manufacturing the laminated semiconductor device comprises steps of connecting a connecting land 16 of a first double-sided module 24a to a solder-connecting land 30 of on the surface side of a spacer frame substrate 26 by using the substrate 26, in which the lands 20 are screen printed on both surfaces of a frame-like insulating board 28 as an intermediate connector, when the module 24a in which first and second semiconductor bare chips 20A and 20B are mounted on both surfaces of a first interposer 10a and a second double-sided module 24b, in which third and fourth bare semiconductors 20C and 20D are mounted on both surfaces of a second interposer 10b are laminated, and connecting the land 30 of another surface side of the substrate 26 to the land 16 of the module 24a.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-110901

(P2002-110901A)

(43)公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl.
 H 01 L 25/065
 25/07
 25/18
 23/52

識別記号

F I
 H 01 L 25/08
 23/52

マーク (参考)
 Z
 C

審査請求 未請求 請求項の数6 O L (全10頁)

(21)出願番号 特願2000-303018(P2000-303018)

(22)出願日 平成12年10月3日 (2000.10.3)

(71)出願人 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72)発明者 亀井 重喜
 大分県東国東郡国東町大字小原3319番地の
 2 ソニーハイテク株式会社内
 (72)発明者 芳沢 正義
 静岡県湖西市境宿554番地 ソニーブロードキャストプロダクツ株式会社内
 (74)代理人 100090527
 弁理士 館野 千恵子

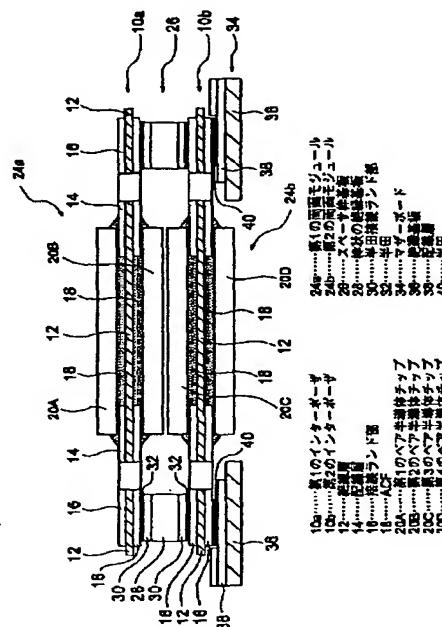
最終頁に続く

(54)【発明の名称】 積層型半導体装置及びその製造方法

(57)【要約】

【課題】 高い品質や製造歩留まりと共に、積層モジュール全体の高さ方向の薄型化を実現することが可能な3次元実装構造の積層型半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 第1のインターボーダ10aの両面に第1及び第2のペア半導体チップ20A、20Bが実装された第1の両面モジュール24aと、第2のインターボーダ10bの両面に第3及び第4のペア半導体チップ20C、20Dが実装された第2の両面モジュール24bとを積層する際、中間接続体として、枠状の絶縁基板28の両面に半田接続ランド部30がスクリーン印刷されているスペーサ枠基板26を使用し、第1の両面モジュール24aの接続ランド部16とスペーサ枠基板26の一方の面側の半田接続ランド部30とを接続する一方、スペーサ枠基板26の他方の面側の半田接続ランド部30と第2の両面モジュール24aの接続ランド部16とを接続する。



(2) 002-110901 (P2002-11t8)

【特許請求の範囲】

【請求項1】 インターポーラに半導体チップが実装されたモジュールがマザーボード上に複数段に積層されている積層型半導体装置であって、

前記モジュールが、両面に接続端子が形成されたスペーサ枠基板を介して複数段に積層されており、

複数段に積層されている前記モジュールの接続部が、前記スペーサ枠基板の前記接続端子を介して接続されていることを特徴とする積層型半導体装置。

【請求項2】 請求項1記載の積層型半導体装置において、

前記モジュールが、インターポーラの両面にそれぞれ半導体チップが実装された両面モジュールであることを特徴とする積層型半導体装置。

【請求項3】 請求項1記載の積層型半導体装置において、

前記スペーサ枠基板の前記接続端子が、前記スペーサ枠基板の両面に半田印刷されていることを特徴とする積層型半導体装置。

【請求項4】 インターポーラに半導体チップを実装したモジュールをマザーボード上に複数段に積層する積層型半導体装置の製造方法であって、

前記モジュールを複数段に積層する際に、各モジュール間に介在させる中間接続体として、両面に接続端子を形成したスペーサ枠基板を使用し、前記モジュールの接続部と前記スペーサ枠基板の前記接続端子とを接続させることを特徴とする積層型半導体装置。

【請求項5】 請求項4記載の積層型半導体装置の製造方法において、

前記インターポーラに前記半導体チップを実装する際に、前記インターポーラの両面にそれぞれに半導体チップを実装することを特徴とする積層型半導体装置の製造方法。

【請求項6】 請求項4記載の積層型半導体装置の製造方法において、

前記スペーサ枠基板の両面に前記接続端子を形成する際に、半田印刷により形成することを特徴とする積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップがインターポーラに実装されたモジュールがマザーボード上に複数段に積層されている3次元実装構造の積層型半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年における電子機器の小型・薄型化の要求に対応するための半導体集積回路の高密度実装手法として、複数の半導体チップを積層する3次元実装技術が提案され、各社において開発、生産されている。そして、同一サイズの半導体チップを3次元実装する際に

は、各半導体チップを個別にインターポーラ上に実装した後、これらのインターポーラを複数段に積層してモジュールとするのが一般的である。その場合、複数段に積層したインターポーラ間の接続は、各インターポーラに設けられた接続用ランド間を半田ボールによって接続する方法が一般に採用されている。

【0003】以下、従来の3次元実装構造の積層型半導体装置の製造方法を、図12～図17の概略工程断面図を用いて説明する。まず、図12に示されるように、リジットな薄い基板である第1のインターポーラ10aを用意する。この第1のインターポーラ10aにおいては、例えばポリイミド等からなる絶縁層12の両面にそれぞれ配線層14が形成され、この配線層14の端部には、他のインターポーラと電気的に接続するための接続ランド部16が形成されている。

【0004】そして、このような構造の第1のインターポーラ10aの一方の主面上に、例えばACF (Anisotropic Conductive Film: 異方性導電膜) 18を介して、第1のペア半導体チップ20Aをフリップチップ実装する。

【0005】即ち、第1のインターポーラ10aの一方の主面上に、ACF 18を塗布した後、第1のペア半導体チップ20Aをフェースダウンに搭載し、その表面に形成されている電極22を第1のインターポーラ10aの一方の主面上に形成されている配線層14に接触させる。その後、加熱・加圧して、第1のペア半導体チップ20Aの電極22と第1のインターポーラ10aの配線層14とを接合する。こうして、第1のインターポーラ10aの一方の主面上に、ACF 18を介して、第1のペア半導体チップ20Aをフリップチップ実装する。

【0006】次いで、図13に示されるように、第1のペア半導体チップ20Aが一方の主面上にフリップチップ実装された第1のインターポーラ10aを反転する。そして、第1のペア半導体チップ20Aのフリップチップ実装の場合と同様にして、第1のインターポーラ10aの他方の主面上に、ACF 18を介して、第2のペア半導体チップ20Bをフリップチップ実装する。

【0007】このようにして、図14に示されるように、第1のインターポーラ10aの両面に第1のペア半導体チップ20A及び第2のペア半導体チップ20Bがそれぞれ実装された第1の両面モジュール24aを作製する。

【0008】また、図15に示されるように、上記図12～図14に示した工程と同様な工程を経て、第2のインターポーラ10bの両面に第3のペア半導体チップ20C及び第4のペア半導体チップ20Dがそれぞれ実装された第2の両面モジュール24bを作製する。

【0009】次いで、図16に示されるように、第1の両面モジュール24aの第2のペア半導体チップ20Bが実装されている面側の接続ランド部16上に、半田ボ

(3) 002-110901 (P2002-11t8

ール42を搭載する。そして、加熱リフローして、この半田ボール42を接続ランド部16に接続する。

【0010】次いで、図17に示されるように、半田ボール42を接続ランド部16に接続した第1の両面モジュール24aを反転させて、第2の両面モジュール24bに接合して、半田ボール42を介して互いに接続された第1の両面モジュール24a及び第2の両面モジュール24bからなる積層体を形成する。

【0011】即ち、第1の両面モジュール24aを第2の両面モジュール24bに搭載して、第1の両面モジュール24a接続した半田ボール42を第2の両面モジュール24bの第3のペア半導体チップ20Cが実装されている面側の接続ランド部16に接触させた後、加熱リフローして、第1の両面モジュール24aの第2のペア半導体チップ20Bが実装されている面側の接続ランド部16と第2の両面モジュール24bの第3のペア半導体チップ20Cが実装されている面側の接続ランド部16とを半田ボール42を介して接続する。こうして、半田ボール42を介して互いに接続された第1の両面モジュール24a及び第2の両面モジュール24bからなる積層体を形成する。

【0012】続いて、半田ボール42を介して互いに接続された第1の両面モジュール24a及び第2の両面モジュール24bからなる積層体、即ち第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュールを、マザーボード34に実装する。

【0013】即ち、マザーボード34の絶縁基板36に形成された配線層38上に半田40をスクリーン印刷した後、この半田40を介して、第2の両面モジュール24bの第4のペア半導体チップ20Dが実装されている面側の接続ランド部16とマザーボード34の配線層38とを接続する。そして、この半田40を加熱リフローして、第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュールをマザーボード34に実装する。こうして、3次元実装構造の積層型半導体装置を完成する。

【0014】

【発明が解決しようとする課題】しかしながら、上記従来の3次元実装構造の積層型半導体装置の製造方法においては、半田ボール42を介して、第1のインターポーザ10aの両面に第1のペア半導体チップ20A及び第2のペア半導体チップ20Bがそれぞれ実装された第1の両面モジュール24aと、第2のインターポーザ10bの両面に第3のペア半導体チップ20C及び第4のペア半導体チップ20Dがそれぞれ実装された第2の両面モジュール24bとを接続し、第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュールを形成していることから、次のような問題を生じていた。

【0015】(1) 第1の両面モジュール24aの第2のペア半導体チップ20Bが実装されている面側の接続ランド部16上に半田ボール42を搭載する際に、半田ボール42を一つ一つ吸着して、第1のインターポーザ10aの接続ランド部16上に搭載しなければならないため、特殊な装置や技術を必要とする極めて煩雑な作業が要求され、実装時間の短縮を図ることが困難であった。

【0016】また、一つ一つの半田ボール42の大きさは必ずしも均一でないため、その接続ランド部16上への搭載精度が必ずしも高くなく、たとえ加熱リフロー処理を行っても、半田ボール42を介在させた第1の両面モジュール24aと第2の両面モジュール24bとの間隔を高精度に均等にすることは困難であった。従って、第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュールの品質や製造歩留まりが低下する等の問題が生じていた。

【0017】(2) また、電子機器の小型・薄型化の要求に対応するために、第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュール全体の高さを低くしたい場合、各ペア半導体チップの厚さを薄くして全体の高さを低くする方法があるが、第1の両面モジュール24aと第2の両面モジュール24bとの中間接続体として半田ボール42を使用している限り、この半田ボール42は例えば高さ0.35～0.4mm程度の大きさを必要とし、その小型化には制約があるため、各ペア半導体チップの厚さをいくら薄くしても4段積層モジュール全体の高さを低くすることには限界があった。即ち、中間接続体として半田ボール42を使用する既存技術においては、電子機器の小型・薄型化の要求に十分に対応することが困難であるという問題があった。

【0018】そこで本発明は、上記問題点に鑑みてなされたものであって、高い品質や製造歩留まりを実現すると共に、積層モジュール全体の高さ方向の薄型化を実現することが可能な3次元実装構造の積層型半導体装置及びその製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】上記課題は、以下に述べる本発明に係る積層型半導体装置及びその製造方法によって達成される。即ち、請求項1に係る積層型半導体装置は、インターポーザに半導体チップが実装されたモジュールがマザーボード上に複数段に積層されている積層型半導体装置であって、モジュールが、両面に接続端子が形成されたスペーサ枠基板を介して複数段に積層されており、複数段に積層されているモジュールの接続部が、スペーサ枠基板の接続端子を介して接続されていることを特徴とする。

【0020】このように請求項1に係る積層型半導体装置においては、インターポーザに半導体チップが実装さ

(4) 002-110901 (P2002-11t8)

れたモジュールが、両面に接続端子が形成されたスペーサ枠基板を介して複数段に積層されていることにより、即ち複数段に積層されたモジュール間に介在させる中間接続体として、両面に接続端子が形成されたスペーサ枠基板を使用していることにより、従来の中間接続体として半田ボールを使用している場合と比較すると、その大きさが必ずしも均一でない半田ボールを一つ一つ吸着して搭載する特殊かつ煩雑な作業が要求されないため、積層する複数段のモジュールの間隔が均等になる等の接続精度が大幅に向上すると共に、実装時間の短縮が容易に実現される。

【0021】また、両面に接続端子が形成されたスペーサ枠基板の厚さを従来の中間接続体としての半田ボールの高さよりも遙かに小さくすることが可能なため、モジュールに実装される各ペア半導体チップの厚さを薄くすれば、複数段のモジュールの積層体全体の高さ方向の薄型化が容易に実現される。

【0022】なお、上記請求項1に係る積層型半導体装置において、インターポーラーに半導体チップが実装されたモジュールとしては、そのインターポーラーの片面に1個の半導体チップが実装された片面モジュールであってもよいが、そのインターポーラーの両面にそれぞれ半導体チップが実装された両面モジュールであることが好適である。

【0023】即ち、複数段のモジュールを接続する中間接続体としてのスペーサ枠基板の厚さを調整することにより、片面モジュール及び両面モジュールの何れの場合であっても対応可能であるが、特に両面モジュールの場合は、複数段のモジュールの積層体全体の高さが同じであっても実装されるペア半導体チップの数が多くなる分、実装密度の高い積層型半導体装置が実現される。

【0024】また、上記請求項1に係る積層型半導体装置において、スペーサ枠基板の接続端子が、スペーサ枠基板の両面に半田印刷されていることが好適である。この場合、半田印刷によりスペーサ枠基板の両面に接続端子が精確に形成されるため、従来の半田ボールを搭載する場合と比較すると、複数段に積層されたモジュール間の接続精度の大幅な向上が容易に実現される。

【0025】また、半田印刷という既存の技術を使用することから、新たな装置を必要とすることなく既存の装置をそのまま流用することが可能になり、且つ従来の半田ボールを搭載する場合と比較して、フラックスを塗布したり洗浄除去したりする工程がなくなるため、製造コストの上昇が防止され、実装時間の大幅な短縮が実現される。

【0026】また、請求項4に係る積層型半導体装置の製造方法は、インターポーラーに半導体チップを実装したモジュールをマザーボード上に複数段に積層する積層型半導体装置の製造方法であって、モジュールを複数段に積層する際に、各モジュール間に介在させる中間接続体

として、両面に接続端子を形成したスペーサ枠基板を使用し、モジュールの接続部とスペーサ枠基板の前記接続端子とを接続させることを特徴とする。

【0027】このように請求項4に係る積層型半導体装置の製造方法においては、インターポーラーに半導体チップを実装したモジュールを複数段に積層する際に、各モジュール間に介在させる中間接続体として、両面に接続端子を形成したスペーサ枠基板を使用することにより、従来の中間接続体として半田ボールを使用する場合と比較すると、その大きさが必ずしも均一でない半田ボールを一つ一つ吸着して搭載する特殊かつ煩雑な作業が要求されないため、積層する複数段のモジュールの間隔が均等になる等の接続精度が大幅に向上すると共に、実装時間の短縮が容易に実現される。

【0028】また、両面に接続端子が形成されたスペーサ枠基板の厚さを従来の中間接続体としての半田ボールの高さよりも遙かに小さくすることが可能なため、モジュールに実装される各ペア半導体チップの厚さを薄くすれば、複数段のモジュールの積層体全体の高さ方向の薄型化が容易に実現される。

【0029】なお、上記請求項4に係る積層型半導体装置の製造方法において、インターポーラーに半導体チップが実装されたモジュールとしては、そのインターポーラーのみに半導体チップが実装された片面モジュールであってもよいが、そのインターポーラーの両面にそれぞれ半導体チップが実装された両面モジュールであることが好適である。

【0030】即ち、複数段のモジュールを接続する中間接続体としてのスペーサ枠基板の厚さを調整することにより、片面モジュール及び両面モジュールの何れの場合であっても対応可能であるが、特に両面モジュールの場合は、複数段のモジュールの積層体全体の高さが同じであっても実装されるペア半導体チップの数が多くなる分、実装密度の高い積層型半導体装置が実現される。

【0031】また、上記請求項4に係る積層型半導体装置の製造方法において、スペーサ枠基板の両面に接続端子を形成する際に、半田印刷により形成することが好適である。この場合、スペーサ枠基板の両面の接続端子が半田印刷により精確に形成されるため、従来の半田ボールを搭載する場合と比較すると、複数段に積層するモジュール間の接続精度の大幅な向上が容易に実現される。

【0032】また、半田印刷という既存の技術を使用することから、新たな装置を必要とすることなく既存の装置をそのまま流用することが可能になり、且つ従来の半田ボールを搭載する場合と比較して、フラックスを塗布したり洗浄除去したりする工程がなくなるため、製造コストの上昇が防止され、実装時間の大幅な短縮が実現される。

【0033】

【発明の実施の形態】以下、添付図面を参照しながら、

(5) 002-110901 (P2002-11t8)

本発明の実施の形態を説明する。図1は本発明の一実施の形態に係る3次元実装構造の積層型半導体装置を示す概略断面図であり、図2～図11はそれぞれ図1に示す3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図である。

【0034】図1に示されるように、本実施の形態に係る3次元実装構造の積層型半導体装置においては、リジットな薄い基板である第1のインターポーラ10aの一方の主面上に、例えばACF18を介して、第1のペア半導体チップ20Aがフリップチップ実装されている。

【0035】即ち、第1のインターポーラ10aの一方の主面上に、ACF18を介して、第1のペア半導体チップ20Aをフェースダウンに搭載され、その第1のペア半導体チップ20A表面に形成されている電極(図示せず)が第1のインターポーラ10aの例えばポリイミド等からなる絶縁層12の一方の主面上に形成されている配線層14に接合されている。

【0036】また、同様にして、この第1のインターポーラ10aの他方の主面上に、ACF18を介して、第2のペア半導体チップ20Bがフリップチップ実装されている。

【0037】このようにして、第1のインターポーラ10aの両面に、それぞれACF18を介して、第1のペア半導体チップ20A及び第2のペア半導体チップ20Bが実装された第1の両面モジュール24aが形成されている。

【0038】更に、この第1の両面モジュール24aと同様に、第2のインターポーラ10bの両面に、それぞれACF18を介して、第3のペア半導体チップ20C及び第4のペア半導体チップ20Dが実装された第2の両面モジュール24bが形成されている。

【0039】そして、これら第1の両面モジュール24a及び第2の両面モジュール24bは、中間接続体としてのスペーサ基板26を介して積層され、互いに電気的に接続されて、スペーサ基板26を介して互いに接続された第1の両面モジュール24a及び第2の両面モジュール24bからなる積層体が形成されている。

【0040】即ち、第1の両面モジュール24aの第2のペア半導体チップ20Bが実装されている面側の接続端子としての接続ランド部16と、スペーサ基板26の棒状の絶縁基板28の一方の面側にスクリーン印刷された半田接続ランド部30とが、半田32を介して接続されている。また、このスペーサ基板26の棒状の絶縁基板28の他方の面側にスクリーン印刷された半田接続ランド部30と、第2の両面モジュール24aの第3のペア半導体チップ20Cが実装されている面側の接続端子としての接続ランド部16とが、半田32を介して接続されている。こうして、スペーサ基板26を介して互いに接続された第1の両面モジュール24a及び第2の両面モジュール24bからなる積層体が形成されてい

る。

【0041】なお、ここで、スペーサ基板26の棒状の絶縁基板28は所定の厚さを有しているため、第1の両面モジュール24aの第2のペア半導体チップ20B及び第2の両面モジュール24bに実装されている第3のペア半導体チップ20Cは共にスペーサ基板26の棒状の絶縁基板28によって周囲を囲まれた空間内に収納されると共に、両者が互いに抵触することはない。

【0042】また、スペーサ基板26を介して互いに接続された第1の両面モジュール24a及び第2の両面モジュール24bからなる積層体、即ち第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュールは、マザーボード34に実装されている。

【0043】即ち、この4段積層モジュールにおける第2の両面モジュール24bの第4のペア半導体チップ20Dが実装されている面側の接続ランド部16と、マザーボード34の絶縁基板36に形成された配線層38とが、この配線層38上にスクリーン印刷された半田40を介して互いに接続されている。こうして、第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュールがマザーボード34に実装され、3次元実装構造の積層型半導体装置を構成している。

【0044】次に、図1に示す3次元実装構造の積層型半導体装置の製造方法を、図2～図8の概略工程断面図を用いて説明する。先ず、図2に示されるように、リジットな薄い基板である第1のインターポーラ10aを用意する。

【0045】この第1のインターポーラ10aにおいては、例えばポリイミド等からなる絶縁層12の両面にそれぞれ配線層14が形成され、この配線層14の端部には、他のインターポーラ等と電気的に接続するための接続端子として、接続ランド部16が形成されている。なお、図示は省略するが、この絶縁層12の両面にそれぞれ形成された接続ランド部16は、絶縁層12を貫通する配線層によって互いに電気的に接続している。

【0046】そして、このような構造の第1のインターポーラ10aの一方の主面上に、例えばACF18を介して、第1のペア半導体チップ20Aをフリップチップ実装する。

【0047】即ち、図2及び図3に示されるように、第1のインターポーラ10aの一方の主面上に、ACF18を塗布した後、第1のペア半導体チップ20Aをフェースダウンに搭載し、その第1のペア半導体チップ20A表面に形成されている電極22を第1のインターポーラ10aの一方の主面上に形成されている配線層14に接觸させる。その後、加熱・加圧して、第1のペア半導体チップ20Aの電極22と第1のインターポーラ10aの配線層14とを接合する。こうして、第1のインター

(6) 002-110901 (P2002-11t8)

ボーザ10aの一方の主面上に、ACF18を介して、第1のペア半導体チップ20Aをフリップチップ実装する。

【0048】次いで、図4に示されるように、第1のペア半導体チップ20Aが一方の主面上にフリップチップ実装された第1のインターボーザ10aを反転する。そして、第1のペア半導体チップ20Aのフリップチップ実装の場合と同様にして、第1のインターボーザ10aの他方の主面上に、ACF18を介して、第2のペア半導体チップ20Bをフリップチップ実装する。

【0049】このようにして、図5に示されるように、第1のインターボーザ10aの両面に第1のペア半導体チップ20A及び第2のペア半導体チップ20Bがそれぞれ実装された第1の両面モジュール24aを作製する。

【0050】また、図6に示されるように、上記図2～図5に示した工程と同様な工程を経て、第2のインターボーザ10bの両面に第3のペア半導体チップ20C及び第4のペア半導体チップ20Dがそれぞれ実装された第2の両面モジュール24bを作製する。

【0051】次いで、図7に示されるように、第1の両面モジュール24aと第2の両面モジュール24bとを積層し電気的に接続するための中間接続体として、リジットなスペーサ枠基板26を用意する。このスペーサ枠基板26を作製する際には、中央に空間を形成する所定の厚さの枠状の絶縁基板28の両面に、それぞれ半田接続ランド部30をスクリーン印刷によって形成する。また、その際に、図示は省略するが、枠状の絶縁基板28の両面にそれぞれ形成する半田接続ランド部30を、この枠状の絶縁基板28を貫通する配線層によって互いに電気的に接続する。

【0052】そして、このようにして作製した中間接続体としてのスペーサ枠基板26に、半田32を介して、第1の両面モジュール24aを接続する。即ち、図7及び図8に示されるように、スペーサ枠基板26の一方の面側の半田接続ランド部30上に半田32を塗布した後、この半田32を介して、第1の両面モジュール24aの第2のペア半導体チップ20Bが実装されている面側の接続ランド部16とスペーサ枠基板26の一方の面側の半田接続ランド部30とを接続する。その後、この半田32を加熱リフローする。こうして、スペーサ枠基板26に、半田32を介して、第1の両面モジュール24aを接続する。

【0053】なお、このとき、スペーサ枠基板26は所定の厚さを有しているため、第1の両面モジュール24aに実装されている第2のペア半導体チップ20Bは、スペーサ枠基板26によって周囲を囲まれた空間内に収納され、第2のペア半導体チップ20Bその底面がスペーサ枠基板26の枠外に、即ちスペーサ枠基板26の底面のなす平面より下方に突き出ることはない。

【0054】また、図9及び図10に示されるように、上記図7及び図8に示した工程と同様にして、スペーサ枠基板26の他方の面側の半田接続ランド部30上に半田32を塗布した後、スペーサ枠基板26の他方の面側の半田接続ランド部30と第2の両面モジュール24aの第3のペア半導体チップ20Cが実装されている面側の接続ランド部16とを、半田32を介して接続し、更にこの半田32を加熱リフローする。こうして、既に第1の両面モジュール24aが接続されているスペーサ枠基板26に、第2の両面モジュール24bを接続し、スペーサ枠基板26を介して互いに接続された第1の両面モジュール24a及び第2の両面モジュール24bからなる積層体を形成する。

【0055】なお、このとき、中間接続体としてのスペーサ枠基板26は所定の厚さを有しているため、第2の両面モジュール24bに実装されている第3のペア半導体チップ20Cは、このスペーサ枠基板26によって周囲を囲まれた空間内に収納されると共に、同じ空間に収納されされている第1の両面モジュール24aの第2のペア半導体チップ20Bと抵触することはない。

【0056】次いで、図11に示されるように、スペーサ枠基板26を介して互いに接続された第1の両面モジュール24a及び第2の両面モジュール24bからなる積層体、即ち第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュールを、マザーボード34に実装する。

【0057】即ち、マザーボード34の絶縁基板36に形成された配線層38上に半田40をスクリーン印刷した後、この半田40を介して、第2の両面モジュール24bの第4のペア半導体チップ20Dが実装されている面側の接続ランド部16とマザーボード34の配線層38とを接続する。その後、この半田40を加熱リフローして、第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュールを、マザーボード34に実装する。こうして、図1に示す3次元実装構造の積層型半導体装置を完成する。

【0058】以上のように本実施の形態によれば、第1のインターボーザ10aの両面に第1のペア半導体チップ20A及び第2のペア半導体チップ20Bがそれぞれ実装された第1の両面モジュール24aと、第2のインターボーザ10bの両面に第3のペア半導体チップ20C及び第4のペア半導体チップ20Dがそれぞれ実装された第2の両面モジュール24bとを作製した後、これら第1の両面モジュール24aと第2の両面モジュール24bとを積層する際に、中間接続体として、枠状の絶縁基板28の両面にそれぞれ半田接続ランド部30がスクリーン印刷されているリジットなスペーサ枠基板26を使用し、第1の両面モジュール24aの第2のペア半導体チップ20Bが実装されている面側の接続ランド部16とスペーサ枠基板26の一方の面側の半田接続ラン

(7) 002-110901 (P2002-11t8

ド部30とを半田32を介して接続する一方、スペーサ基板26の他方の面側の半田接続ランド部30と第2の両面モジュール24aの第3のペア半導体チップ20Cが実装されている面側の接続ランド部16とを半田32を介して接続することにより、従来の中間接続体として半田ボールを使用する場合と比較して、積層する第1の両面モジュール24aと第2の両面モジュール24bとの接続精度を大幅に向向上することができると共に、フラックスを塗布したり洗浄除去したりする工程がなくなり、実装時間を大幅に短縮することができる。従って、積層型半導体装置の品質及び製造歩留まりの大幅な向上と、製造コストの大幅な低減を達成することができる。

【0059】また、棒状の絶縁基板28の両面にそれぞれ半田接続ランド部30がスクリーン印刷されているリジットなスペーサ基板26の厚さは例えば100μm程度にすることが可能であり、従来の中間接続体としての半田ボールの高さが例えば0.35～0.4mm程度である場合よりも遙かに小さくすることができるため、第1の両面モジュール24a及び第2の両面モジュール24bにそれぞれ実装される第1及び第2のペア半導体チップ20A、20B並びに第3及び第4のペア半導体チップ20C、20Dの厚さを薄くすれば、これら第1～第4のペア半導体チップ20A、20B、20C、20Dが4段に積層された4段積層モジュール全体の高さ方向の薄型化を容易に実現することができる。従って、第1～第4のペア半導体チップ20A、20B、20C、20Dを3次元に実装した積層型半導体装置の薄型化を達成し、延いては積層型半導体装置を組み込んだ電子機器の小型・薄型化に寄与することができる。

【0060】また、スペーサ基板26を作製する際に、第1の両面モジュール24aや第2の両面モジュール24aの接続ランド部16に接続させる接続端子としての半田接続ランド部30を棒状の絶縁基板28の両面にそれぞれスクリーン印刷によって形成することにより、この半田接続ランド部30を正確に形成することができるため、従来の半田ボールを搭載する場合と比較して、積層する第1の両面モジュール24aと第2の両面モジュール24bとの接続精度の大幅な向上を容易に確保することができる。また、半田印刷という既存の技術を使用するため、新たな装置を必要とすることなく既存の装置をそのまま流用することができるため、製造コストの上昇を防止することができる。

【0061】なお、上記実施の形態においては、第1のインターポーラ10aの両面に第1のペア半導体チップ20A及び第2のペア半導体チップ20Bがそれぞれ実装された第1の両面モジュール24aと、第2のインターポーラ10bの両面に第3のペア半導体チップ20C及び第4のペア半導体チップ20Dがそれぞれ実装された第2の両面モジュール24bとを積層しているが、このような両面モジュールの代わりに、インターポーラの

片面のみに半導体チップが実装された片面モジュールを積層し、その際の中間接続体として、棒状の絶縁基板28の両面にそれぞれ半田接続ランド部30がスクリーン印刷されているリジットなスペーサ基板26を使用してもよい。即ち、本発明は、複数段に積層するモジュールが片面モジュールであっても両面モジュールであっても、中間接続体としてのスペーサ基板26の厚さを調整することにより、何れの場合にも対応することができる。

【0062】

【発明の効果】以上詳細に説明した通り、本発明に係る積層型半導体装置及びその製造方法によれば、次のような効果を奏すことができる。即ち、請求項1に係る積層型半導体装置によれば、インターポーラに半導体チップが実装されたモジュールが、両面に接続端子が形成されたスペーサ基板を介して複数段に積層されていることにより、即ち複数段に積層されたモジュール間に介在させる中間接続体として、両面に接続端子が形成されたスペーサ基板を使用していることにより、従来の中間接続体として半田ボールを使用している場合と比較して、積層する複数段のモジュール間の接続精度を大幅に向向上することができると共に、実装時間の短縮を容易に実現することができる。従って、積層型半導体装置の品質や製造歩留まりの大幅な向上と共に、製造コストの低減を達成することができる。

【0063】また、両面に接続端子が形成されたスペーサ基板の厚さを従来の中間接続体としての半田ボールの高さよりも遙かに小さくすることが可能なため、モジュールに実装される各ペア半導体チップの厚さを薄くすれば、複数段のモジュールの積層体全体の高さ方向の薄型化を容易に実現することができる。従って、積層型半導体装置の薄型化を達成し、延いては積層型半導体装置を組み込んだ電子機器の小型・薄型化に寄与することができる。

【0064】また、請求項4に係る積層型半導体装置の製造方法によれば、インターポーラに半導体チップが実装されたモジュールを複数段に積層する際に、各モジュール間に介在させる中間接続体として、両面に接続端子を形成したスペーサ基板を使用することにより、従来の中間接続体として半田ボールを使用する場合と比較して、積層する複数段のモジュール間の接続精度を大幅に向向上することができると共に、実装時間の短縮を容易に実現することができる。従って、積層型半導体装置の品質や製造歩留まりの大幅な向上と共に、製造コストの低減を達成することができる。

【0065】また、両面に接続端子が形成されたスペーサ基板の厚さを従来の中間接続体としての半田ボールの高さよりも遙かに小さくすることが可能なため、モジュールに実装される各ペア半導体チップの厚さを薄くすれば、複数段のモジュールの積層体全体の高さ方向の薄

(8) 002-110901 (P2002-11t8)

型化を容易に実現することができる。従って、積層型半導体装置の薄型化を達成し、延いては積層型半導体装置を組み込んだ電子機器の小型・薄型化に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る3次元実装構造の積層型半導体装置を示す概略断面図である。

【図2】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その1）である。

【図3】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その2）である。

【図4】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その3）である。

【図5】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その4）である。

【図6】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その5）である。

【図7】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その6）である。

【図8】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その7）である。

【図9】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その8）である。

【図10】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その9）である。

【図11】図1の3次元実装構造の積層型半導体装置の製造方法を説明するための概略工程断面図（その10）である。

【図12】従来の3次元実装構造のメモリモジュールの製造プロセスを説明するための概略工程断面図（その1）である。

【図13】従来の3次元実装構造のメモリモジュールの製造プロセスを説明するための概略工程断面図（その2）である。

【図14】従来の3次元実装構造のメモリモジュールの製造プロセスを説明するための概略工程断面図（その3）である。

【図15】従来の3次元実装構造のメモリモジュールの製造プロセスを説明するための概略工程断面図（その4）である。

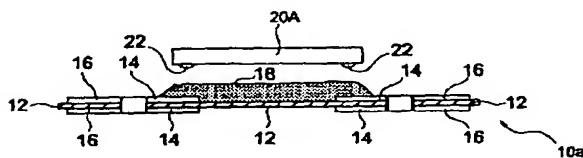
【図16】従来の3次元実装構造のメモリモジュールの製造プロセスを説明するための概略工程断面図（その5）である。

【図17】従来の3次元実装構造のメモリモジュールの製造プロセスを説明するための概略工程断面図（その6）である。

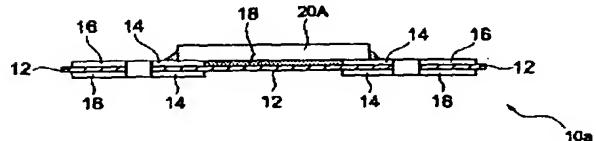
【符号の説明】

10a……第1のインターボーザ、10b……第1のインターボーザ、12……絶縁層、14……配線層、16……接続ランド部、18……ACF、20A……第1のペア半導体チップ、20B……第2のペア半導体チップ、20C……第3のペア半導体チップ、20D……第4のペア半導体チップ、22……電極、24a……第1の両面モジュール、24b……第2の両面モジュール、26……スペーサ棒基板、28……棒状の絶縁基板、30……半田接続ランド部、32……半田、34……マザーボード、36……絶縁基板、38……配線層、40……半田、42……半田ホール。

【図2】

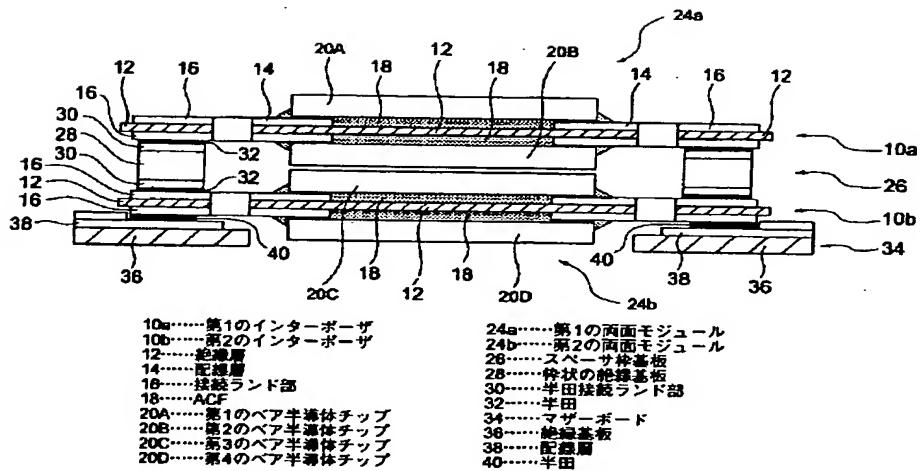


【図3】

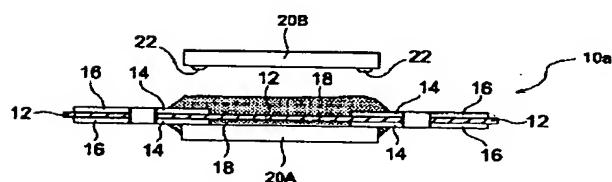


(9) 002-110901 (P2002-11t8)

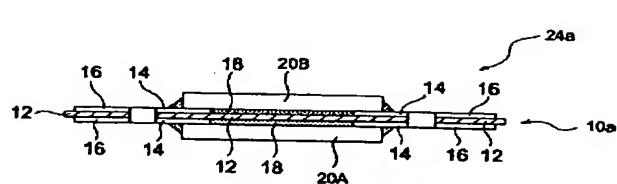
【図1】



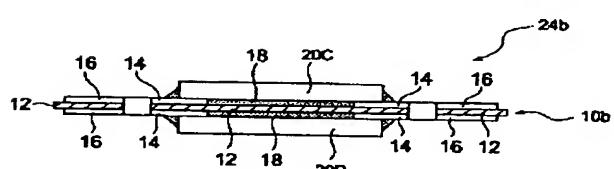
【図4】



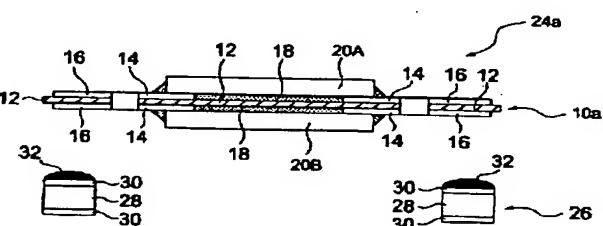
【図5】



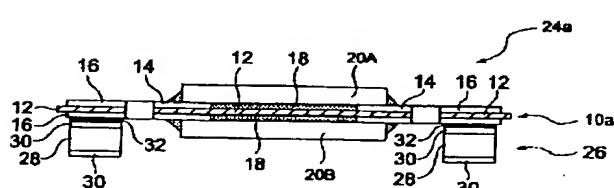
【図6】



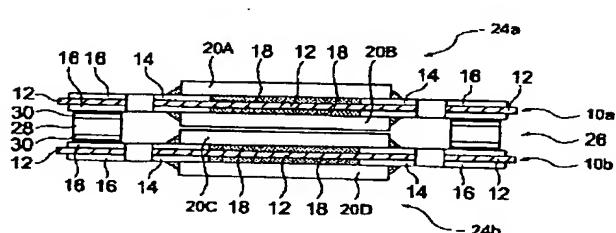
【図7】



【図8】

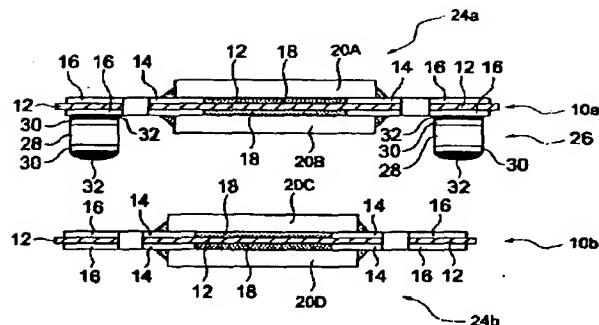


【図10】

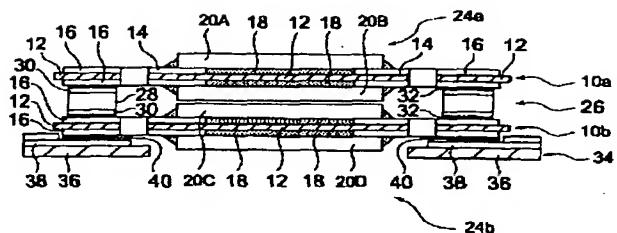


(10) 02-110901 (P 2002-11t8

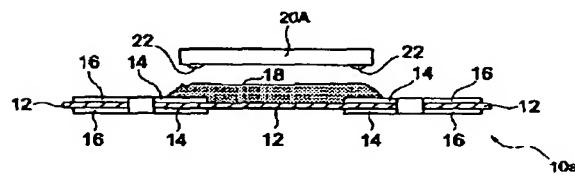
【図9】



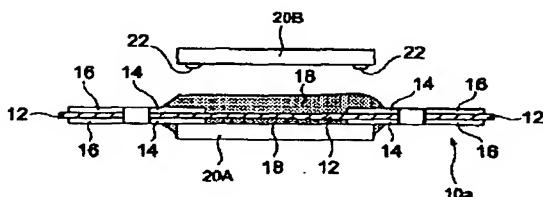
【図11】



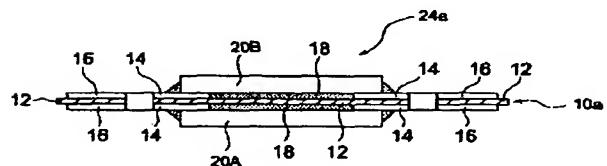
【図12】



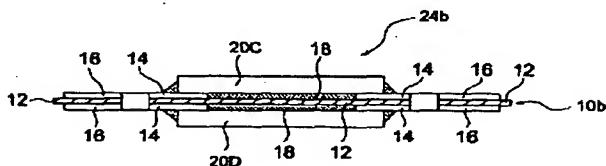
【図13】



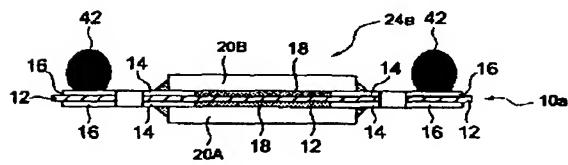
【図14】



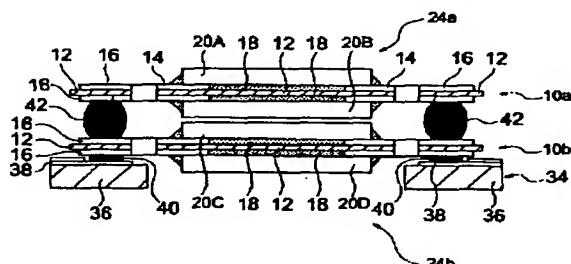
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 宮地 静一
 愛知県額田郡幸田町大字坂崎字雀ヶ入1番
 地 ソニー幸田株式会社内

(72)発明者 柳澤 喜行
 東京都品川区北品川6丁目7番35号 ソニ
 一株式会社内